

Lap 94

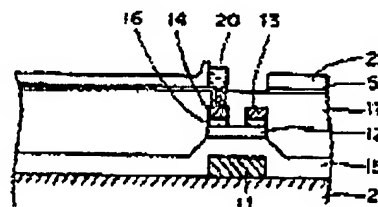
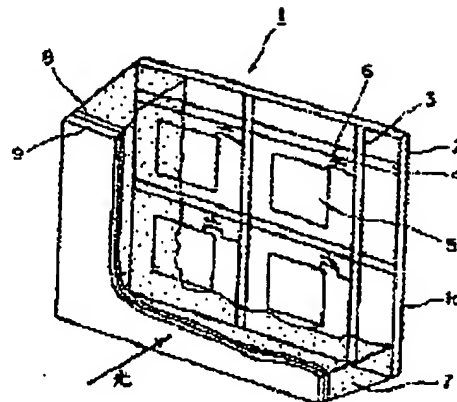
Reference

Patent number: JP1169427
 Publication date: 1989-07-04
 Inventor: WAKAI HARUO; SATO SHUNICHI
 Applicant: CASIO COMPUTER CO LTD
 Classification:
 - International: G02F1/133; H01L27/12; G02F1/13; H01L27/12; (IPC1-7): G02F1/133; H01L27/12
 - european:
 Application number: JP19870328671 19871225
 Priority number(s): JP19870328671 19871225

Report a data error here

Abstract of JP1169427

PURPOSE: To enable the detection of the defective thin-film transistor (TFT) generated by a rubbing treatment at the time of the production process of the TFT panels and to enhance the production efficiency of a liquid crystal display by disposing oriented films only on picture element electrodes. **CONSTITUTION:** An org. high-polymer film such as polyimide having photosensitivity is used for the oriented films 22. The oriented films 22 and the metals 20 for contact can, therefore, be used as masks to form gate electrodes 11 and the picture element electrodes 5 at the time of patterning the oriented films 22 and the number of the masks can be reduced by one sheet as compared to the conventional TFT panel 1a. Namely, the oriented films 22 are not provided above the gate electrodes 11 and, therefore, the operation test can be carried out with all the TFTs after the execution of the rubbing treatment. The defective TFT panel is thereby discovered at the time of the production of the TFT panel and the production efficiency is improved.



⑫ 公開特許公報(A) 平1-169427

⑤ Int. Cl.⁴ 識別記号 庁内整理番号 ⑬ 公開 平成1年(1989)7月4日
G 02 F 1/13 3 1 2 8806-2H
3 2 7 7370-2H
H 01 L 27/12 A-7514-5F 審査請求 未請求 発明の数 2 (全6頁)

⑭ 発明の名称 薄膜トランジスタパネル及びその製造方法

⑮ 特 願 昭62-328671

⑯ 出 願 昭62(1987)12月25日

⑰ 発 明 者 若 井 晴 夫 東京都八王子市石川町2951番地の5 カシオ計算機株式会
社八王子研究所内

⑱ 発 明 者 佐 藤 俊 一 東京都八王子市石川町2951番地の5 カシオ計算機株式会
社八王子研究所内

⑲ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑳ 代 理 人 弁理士 阪本 紀康

明 細 書

1. 発明の名称

薄膜トランジスタパネル及びその製造方法

2. 特許請求の範囲

1) 透明な絶縁性基板上に形成された複数の薄膜トランジスタと、それらの薄膜トランジスタが形成された前記絶縁性基板を平坦化する透明な絶縁膜と、該絶縁膜上に形成され、前記複数の薄膜トランジスタのソース電極に接続している複数の透明な画素電極と、それらの複数の画素電極上のみ形成された配向膜とを備えたことを特徴とする薄膜トランジスタパネル。

2) 前記配向膜は感光性を有することを特徴とする特許請求の範囲第1項記載の薄膜トランジスタパネル。

3) 透明な絶縁性基板上に複数の薄膜トランジスタを形成する工程と、

前記複数の薄膜トランジスタが形成された絶縁性基板上に絶縁膜を形成した後、ソース電極またはドレイン電極に接続させて前記絶縁膜上に透明

な電極材料を形成する工程と、

前記透明な電極材料上に、画素パターン状に配向膜を形成し、その形成された配向膜に対し配向処理を行う工程と、

前記複数の薄膜トランジスタの動作試験を行う工程と、

前記電極材料を個々の画素電極に分離する工程とを備えてなる薄膜トランジスタパネルの製造方法。

4) 前記電極材料を個々の画素電極に分離する工程は前記配向膜をマスクとして行うことを特徴とする前記特許請求の範囲第3項記載の薄膜トランジスタパネルの製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、アクティブマトリクス表示装置に用いられる薄膜トランジスタパネル(TFTパネル)及びその製造方法に関する。

(従来の技術)

液晶ディスプレイ(液晶表示装置)において、

走査電極数が200本以上の高デューティ駆動の場合には、画素ごとに配置・付加したスイッチング素子を用いて駆動するアクティブマトリクス駆動方式が主に用いられている。

第2図は、アクティブマトリクス駆動方式の液晶ディスプレイ1の概略構成図である。液晶ディスプレイ1は、その一方の側に薄膜トランジスタ(TFT)が各画素ごとに配置されたTFTパネル1aを備えている。このTFTパネル1aは、例えばガラス基板のような透明な絶縁性基板2上にマトリクス状に配設された各画素毎に設けられた透明な画素電極5と、これら画素電極5間を交差するように走っている信号線(ドレイン線)3及び走査線(ゲート線)4と、各画素電極5毎に配設形成されたTFT6とからなっている。また、TFTパネル1aと対向する側には、一面に透明電極(共通電極)8の形成されたガラス基板9を備え、TFTパネル1aと透明電極8との間に液晶7を封入することによって液晶ディスプレイ1が構成されている。

上を覆って酸化シリコン若しくは窒化シリコン等のゲート絶縁膜15が形成されている。ゲート電極11の上方及びその近辺には、ゲート絶縁膜15を介してアモルファスシリコン(a-Si)等からなる半導体層12が形成されている。半導体層12上であって、ゲート電極11の両端部の上方には、オーミックコンタクト用のコンタクト層16を介してドレイン電極13とソース電極14が形成されている。さらに、ゲート絶縁膜15、半導体層12、コンタクト層16、ドレイン電極13、ソース電極14を覆って平坦化のための透明絶縁膜17が形成されている。また、その透明絶縁膜17をエッチングして形成されたコンタクトホール内でソース電極14と画素電極5が接続されており、その画素電極5はさらに透明絶縁膜17上に形成されている。さらに、ソース電極14と画素電極5の接続を確実にするためのコンタクト用金属膜20がコンタクトホール内を埋めて形成されている。そして、以上のように構成されたTFTマトリクスアレイの全面に配向膜

第3図は、第2図に示したTFTパネル1a内の任意のTFT6及びその近傍における電極及び配線の配置状態を示した概略平面図である。第3図に示すように、TFT6の形成領域において、走査線4を信号線3との交差部分でわずかに突出させ、この突出部をTFT6のゲート電極11とすると共に、このゲート電極11上の一方の側に半導体層12及び図示していないコンタクト層を介して位置する信号線3の一部をTFT6のドレイン電極13とし、またゲート電極11上の他方の側に半導体層12及び図示していないコンタクト層を介して電極を形成し、これをTFT6のソース電極14としている。さらに画素電極5がコンタクトホールを介してソース電極14と接続され、このコンタクトホール内にはコンタクト用金属20が埋め込まれている。

第4図(a)は、第3図に示したTFT6及びその近傍のA-A'拡大断面図である。第4図(a)に示すように、絶縁性基板2上にゲート電極11が形成され、このゲート電極11上及び絶縁性基板2

21が形成されている。配向膜21は、TFTパネル1aと透明電極8の間に封入される液晶7の液晶分子の長軸方向を所定の方向に配向させるためのものである。

次に上記構成の従来のTFTパネル1aの製造方法を説明する。

第4図(a)~(d)は従来のTFTパネル1aの製造工程図である。

まず、同図(a)に示すように蒸着法、スパッタ法等により金属膜を、プラズマCVD法等により半導体膜や窒化膜等を堆積させ、フォトリソグラフィ法によりパターニングすることによりガラス基板等の透明な絶縁性基板2上に、クロム(Cr)、モリブデン(Mo)等からなるゲート電極11、窒化シリコン(SiN)等から成るゲート絶縁膜15、アモルファスシリコン等から成る半導体層12、高濃度の不純物を含むn⁺アモルファスシリコンから成るコンタクト層16、アルミニウム(Al)等から成るドレイン電極13及びソース電極14を形成する。

次に上記ゲート電極11、ゲート絶縁膜15、半導体層12、コンタクト層16、ドレイン電極13及びソース電極14から成るTFT6の形成された絶縁性基板2の全面にスピンコート法等によりSOG(Spin On Glass)膜等の透明絶縁膜17を表面が平坦となるように形成し、さらにフォトリソグラフィ法によりソース電極14上の前記透明絶縁膜17を除去し、ソース電極14との接続用のコンタクトホール18を形成する。

続けて同図(b)に示すように、コンタクトホール18内及び透明絶縁膜17上にITO(Indium-Tin-Oxide)等の透明導電膜19を形成し、さらにコンタクトホール18を全て埋設して蒸着法、スパッタ法等により透明導電膜19上の全面に金属膜を積層形成した後、フォトリソグラフィ法によりパターンニングを行いソース電極14の上方にコンタクトホール18を埋めてコンタクト用金属20を形成する。

次に同図(c)に示すようにフォトリソグラフィ法によりドレイン電極13-ソース電極14間のチ

ネル領域12a及びドレイン電極13の上方の透明導電膜19を除去して画素電極5を個々に分離した後、同図(d)に示すように画素電極5、コンタクト用金属20及び透明絶縁膜17を覆って表面全体に配向膜21を形成する。そして、液晶分子の配列の方位を定めるために、配向膜21を一定方向に綿布などこする表面処理が行われる(ラビング処理)。

そして、以上のようにして製造されたTFTパネル1aと透明電極8の形成されたガラス基板9の間に液晶7を封入すると、液晶7の液晶分子が無電界時に一定方向に配列される。

(従来技術の問題点)

ところで、上記ラビング処理を行う工程で配向膜21をこすると静電気が発生し、その静電気によりTFT6が電気的に破壊される場合がある。ところが、従来のTFTパネル1aでは第4図(d)に示すようにラビング処理を行う前に画素電極5が既に分離されており、しかも画素電極5及びコンタクト用金属膜20が配向膜19に完全に覆わ

れているため、ラビング処理の後に、発生するTFTの破壊による不良のTFTパネル1aを検出することは困難であった。このため、良品、不良品にかかわらず全てのTFTパネル1aを用いて液晶ディスプレイ1を製造し、液晶ディスプレイ1を製作後に行う動作試験で初めて不良のTFTパネル1aを選別していた。

したがって、不良のTFTマトリクスパネル1aに対しても、液晶ディスプレイ1を製作せねばならず、その間の作業時間が無駄となって生産効率が低くなると共に、原価がかさみコスト高ともなっていた。

(発明の目的)

本発明は上記従来の問題点に鑑み、ラビング処理により発生した欠陥TFTを薄膜トランジスタパネルの製造工程時に検出可能とし、液晶ディスプレイの生産効率を高めた薄膜トランジスタパネル及びその製造方法を提供することを目的とする。

(発明の要点)

本発明は上記目的を達成するために、配向膜を

画素電極上にのみ配設したことを特徴とする。

(実施例)

以下、図面を参照しながら本発明の実施例について説明する。

第1図(d)は本発明の一実施例のTFTパネルの断面構成図である。尚、第1図(d)において第4図(d)に示す従来のTFTパネル1aと同一構成の部分には同一符号を記している。

本発明のTFTパネルは第1図(d)に示される様に、本実施例のTFTパネルは配向膜22が従来のTFTパネル1aの配向膜21のようにTFTパネルの上面全体に形成されておらず、ゲート電極11の上方には形成されていないことである。

このような構造となっているため、従来のようにラビング処理を行う前に各画素毎に画素電極を分離形成する工程を行う必要がなく、ラビング処理後に、TFTパネル1aの各TFTについて動作試験を行うことが可能になっている。すなわち、ラビング処理を行った後もまだ透明導電膜が画素電極に分離されていないので、テスト等を用いて

走査線と信号線からテスト信号を加えて、TFTを1個ずつ順次オンさせて、信号線から書き込んだ信号の電圧を透明導電膜の一端(例えばテスト用外部端子)で測定すれば、全てのTFTについて動作試験ができる。したがって、不良のTFTパネルを用いて液晶ディスプレイを製造することを未然に防止することができるようになり、液晶ディスプレイの製造歩留りを高めることができる。

以上のように構成された本実施例のTFTマトリクスパネルの製造方法について説明する。第1図(a)~(d)は、本実施例のTFTパネルの製造工程図である。

同図(a)に示す如く、先ず透明な絶縁性基板2上に、クロム(Cr)、モリブデン(Mo)等から成るゲート電極11、窒化シリコン(SiN)等から成るゲート絶縁膜15、アモルファスシリコン等から成る半導体層12、 α -アモルファスシリコン等から成るコンタクト層16、アルミニウム(Al)等から成るドレイン電極13、ソース電極14を形成して、TFT6を作る。さらにス

ピンコート法等により透明絶縁膜17を形成して表面を平坦化した後、フォトリソグラフィ法によりソース電極14と画素電極を接続させるためのコンタクトホール18を形成する。尚、透明絶縁膜17としてはポリイミド、アクリル、あるいはシラノール系化合物の塗布、焼成によって形成された絶縁膜(SOG)等の透明な絶縁膜を使用することができる。

次に同図(b)に示すように、コンタクトホール18内及びゲート絶縁膜15上に蒸着法、スパッタ法により画素電極となるITO(Indium-Tin-Oxide)等の透明導電膜19及びアルミニウム

(Al)等の金属膜を連続して形成し、フォトリソグラフィ法により前記金属膜をパターンニングしコンタクト用金属20を形成する。さらに、透明導電膜19及びコンタクト用金属20の全面に感光性を有するポリイミド等から成る感光性の配向膜22をスピンコート法等により所定の膜厚に塗布する。次に、絶縁性基板2の裏面から露光を行い配向膜22を感光させた後、同図(c)に示すよう

にエッチングを行いゲート電極11の上方の配向膜22のみを除去する。

続けて、配向膜22に対して前述のラビング処理を行い、ラビング処理後にラビング処理を行った際に発生した静電気により静電破壊されたTFTが無いか検査する。同図(c)に示すようにラビング処理が終わった時点では透明導電膜19は画素毎に分離されていないので、テストを用いてプローブ針から走査線4と信号線3にテスト信号を加え、各TFT6を順次オンさせながら透明導電膜19の電圧値を測定して全てのTFT6について不良であるかどうか検査することができる。

そして同図(d)に示すように、不良のTFT6が無いTFTパネルについて配向膜22及びコンタクト用金属20をマスクとして透明導電膜19をエッチングして、配向膜21及びコンタクト用金属20に覆われていない透明導電膜19を除去し、個々に分離して画素電極5が形成され、TFTパネルが完成する。

このように本実施例では、配向膜22に感光性

を有するポリイミド等の有機高分子膜を用いているため、配向膜22をパターンニングする際にゲート電極11を、画素電極5の形成に配向膜22及びコンタクト用金属20をマスクとして用いることができ、従来のTFTパネル1aよりもマスクの枚数を1枚少なくできる(従来のTFTパネル1aでは第4図(c)に示す画素電極5の形成にマスクが1枚必要となる)。従って、製造歩留りが高い。

〔発明の効果〕

以上説明したように本発明によれば、配向膜をゲート電極の上方に設けていないため、ラビング処理を行った後に、全てのTFTについて動作試験を行うことができるので、不良の薄膜トランジスタパネルを薄膜トランジスタパネルの製造時に発見することができる。したがって、従来のように不良の薄膜トランジスタパネルを用いて液晶ディスプレイを製作することがなくなり、良品の薄膜トランジスタパネルのみを用いて液晶ディスプレイを製造すればよいので、液晶ディスプレイの

生産効率が向上する。このため、液晶ディスプレイの低コスト化が可能となる。

4. 図面の簡単な説明

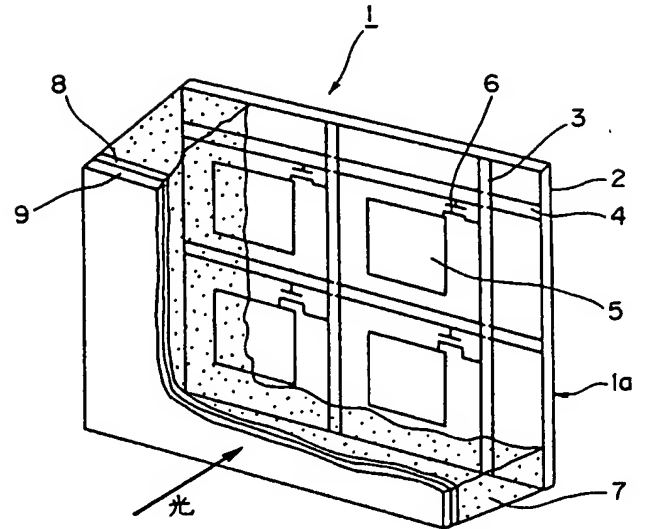
第1図(a)～(d)は本発明の一実施例のTFTパネルの構成及び製造方法を示す工程図、

第2図は液晶ディスプレイの概略構成図、

第3図は従来のTFTパネルの部分平面図、

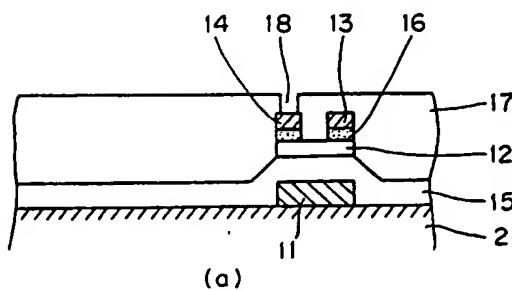
第4図(a)～(d)は従来のTFTパネルの構成及び製造方法を示す工程図である。

- 2・・・絶縁性基板、
- 5・・・画素電極、
- 11・・・ゲート電極、
- 12・・・半導体層、
- 13・・・ドレイン電極、
- 14・・・ソース電極、
- 15・・・ゲート絶縁膜、
- 17・・・透明絶縁膜、
- 22・・・配向膜、

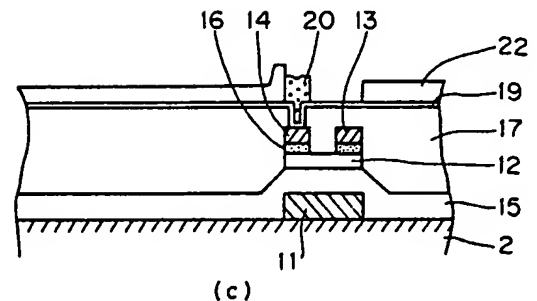


第2図

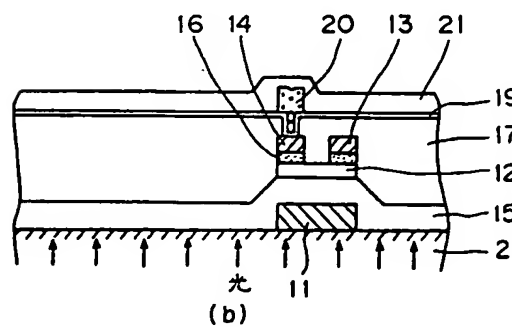
特許出願人 カシオ計算機株式会社



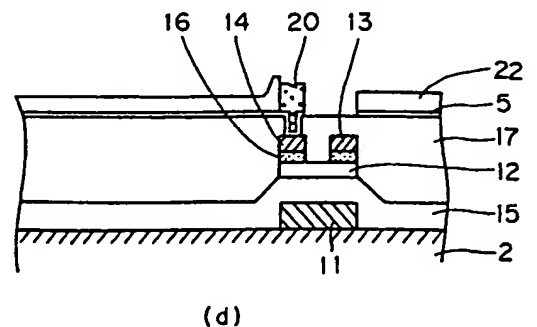
(a)



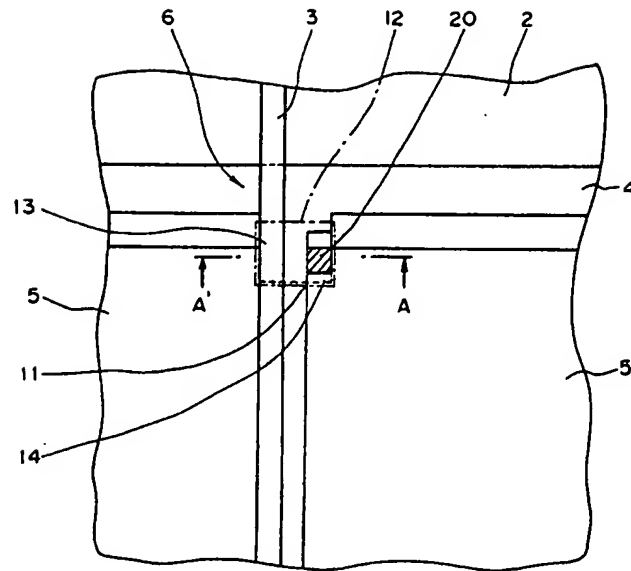
(c)



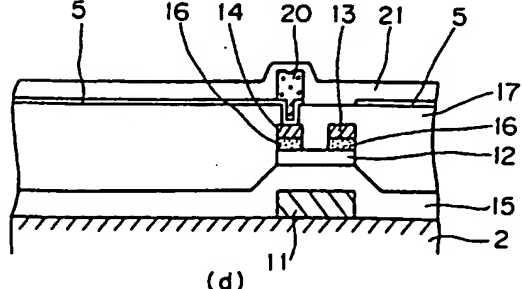
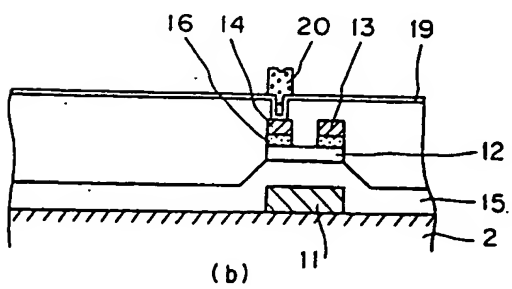
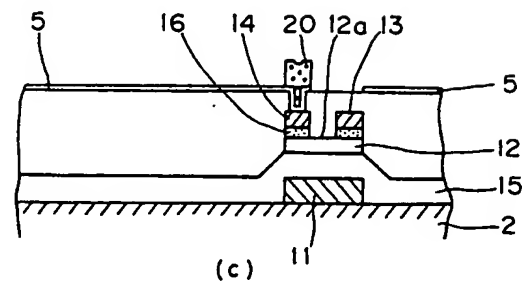
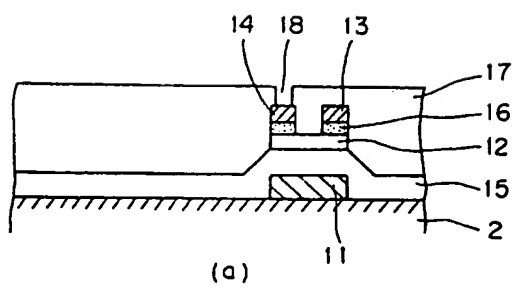
(b)



(d)



第 3 図



第 4 図